

『材料科学の深化が導く電子デバイスの未来』

【日 時】 平成26年1月16日(木)
13:00~16:30(懇親会17:00~)

【場 所】 メルパルク大阪
大阪市淀川区宮原4-2-1
JR新大阪駅(南口・在来線口)を出て西出口より徒歩 約6分
地下鉄御堂筋線新大阪駅④号出口を出て徒歩 約4分
(<http://www.mielparque.jp/osaka/>)

【趣 旨】 現代の高度情報化社会の実現には、シリコン半導体集積回路を中心としたエレクトロニクス技術が大きく貢献してきました。シリコン集積回路の発展の原動力となったのは、基本素子である金属-絶縁膜-半導体電界効果トランジスタ(MOSFET)の微細化であり、集積度を上げることにより高性能化と低コスト化を両立してきました。最先端のチップでは、1cm角に10億個を超えるMOSFETが集積されており、そのゲート加工寸法は22nmにまで達し、構造も平面型ではなく立体型となっています。一方で、半世紀に及ぶ微細化の過程では、金属配線材料がアルミニウムから銅に、ゲート電極材料が多結晶シリコンから金属に、ゲート絶縁膜材料がシリコン酸化膜(SiO₂)から高誘電率金属酸化物(High-k)に、というように新材料の導入がなされてきました。今後も継続的な発展のために、ゲルマニウムや化合物半導体などの高移動度チャンネル材料や、新原理のスイッチング素子の導入も検討されています。その実現には、多様な材料の構造や物性を緻密に制御する薄膜形成技術、結晶成長技術、界面制御技術など材料科学に根差した研究開発が不可欠です。第67回を迎える本研究会では、最先端の電子デバイス技術に関して第一線で活躍されている研究者の方々にご講演いただきます。奮ってご参加ください。

【プログラム】

13:10-13:55

「原子スイッチを用いたプログラマブルロジックデバイスの開発」
超低電圧デバイス技術研究組合 阪本 利司 氏

13:55-14:40

「低消費電力デバイス向けひずみGeナノワイヤチャンネルMOSFET」
(独)産業技術総合研究所 グリーン・ナノエレクトロニクスセンター
池田 圭司 氏

14:40-15:00 休憩(コーヒープレイク)

15:00-15:45

「次世代Ge-CMOSにおける基盤技術開発」
大阪大学 大学院基礎工学研究科 竹内 正太郎 氏

15:45-16:30

「High-kメタルゲート技術によるCMOSスケールアップ: プレーナーから3次元構造へ」
IBM T. J. Watson Research Center 安藤 崇志 氏

17:00-

懇親会

阪本 利司 氏

原子スイッチを用いたプログラマブルロジックデバイスの開発

原子スイッチは Cu イオンのイオン伝導層中への析出・溶解を利用した抵抗変化型スイッチである。数桁におよぶオン・オフ抵抗比、各抵抗状態が不揮発であること、発現領域がナノスケールであること、半導体の集積化工程に適した加工性・耐性を備えることなどが特長となっている。我々は、これらの性質に注目し、近年注目されているプログラマブルロジックデバイスへの応用を目指して開発を進めてきた。本講演では、原子スイッチの抵抗変化現象を見出した基礎研究から集積化回路での動作実証までを紹介する。

池田 圭司 氏

低消費電力デバイス向けひずみ Ge ナノワイヤチャネル MOSFET

極低消費電力動作 LSI を実現する手段として、我々はひずみ Ge ナノワイヤをチャネルに用いた MOSFET を提案し、その動作実証に成功している。1 軸圧縮ひずみを有する Ge ナノワイヤは 2 段階酸化濃縮法によって形成した。チャネル方向のひずみ ϵ_{xx} はナノワイヤ径 $W_{\text{wire}} = 40 \text{ nm}$ 以下において $\epsilon_{xx} = -3.9\%$ 以上とほぼ Si と Ge の間に生じる misfit ひずみに相当する大きなひずみを実現している。試作した MOSFET はゲート長 $L_g = 40 \text{ nm}$ と短チャネル領域において、従来報告されている Ge チャネル MOSFET の中で最も低いオフリーク電流と最も高いピーク正孔移動度 ($\mu_{\text{eff}} = 1922 \text{ cm}^2/\text{Vs}$) の両立を実現している。本講演ではトランジスタ作製プロセスの詳細と高性能化技術を御紹介するとともに、Ge チャネル MOSFET の技術動向とその将来展望についても議論したい。

竹内 正太郎 氏

次世代 Ge-CMOS における基盤技術開発

Si-ULSI の低消費電力化・高速化を実現するためには、MOS トランジスタの電流駆動能力向上が不可欠である。現在は、歪 Si チャネルによるキャリア移動度向上に限界が見えており、次世代 CMOS ではトランジスタ構造の 3 次元化に加え、歪 Si を超える高移動度材料のチャネル領域への導入が必須となっている。Si と同じ IV 族半導体である Ge は、バルク移動度が電子で Si の 2.4 倍、正孔で 4.4 倍と非常に高く、チャネル材料として非常に魅力的である。そのため、Ge をチャネル領域に導入することでトランジスタの飛躍的な性能向上が期待できる。本講演では、次世代 Ge-CMOS の超低消費電力化・超高速化のために必要となる貼り合わせ GeOI 基板開発、歪 Ge チャネル形成技術、ソース/ドレイン形成技術などにおける課題を概観し、基板接合界面制御、Ge 中への異種原子添加によるヘテロ界面制御の可能性について議論する。

安藤 崇志 氏

High-k メタルゲート技術による CMOS スケーリング：プレーナーから 3 次元構造へ

1960 年代に発明された MOSFET (metal-oxide-semiconductor field-effect transistor) は、今日に至るまで比例縮小則に従った微細化によって高集積化と性能向上を実現してきた。しかし、ゲート絶縁膜 (シリコン酸化膜) の薄層化によってその膜厚が 3nm に達して以降、直接トンネル現象などの量子的な効果が加速度的に顕著となり、さらなる微細化の障害となっていた。この物理的制約を打破するため 2007 年以降、High-k メタルゲート技術の実用化が進められた。本講演では、High-k メタルゲート技術によるゲート絶縁膜の薄膜化、仕事関数制御について、材料物性の観点から議論するとともに、さらなる微細化のための 3 次元構造への適用に向けた取り組みを紹介する。